

PATENT ABSTRACTS OF JAPAN

(11)Publication number : **2001-250374**
 (43)Date of publication of application : **14.09.2001**

(51)Int.Cl.

G11C 11/22
 G11C 14/00
 H01L 27/10
 H01L 27/108
 H01L 21/8242

(21)Application number : **2000-059881**

(71)Applicant : **SHARP CORP**

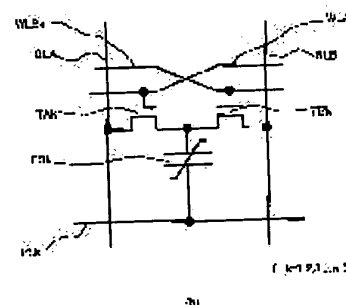
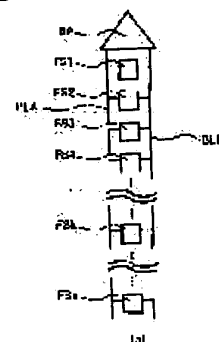
(22)Date of filing : **06.03.2000**

(72)Inventor : **HOSOI YASUNARI**

(54) FERROELECTRIC MEMORY AND ITS DRIVING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To solve such a problem that it is required for a dummy cell to generate a reference potential for every read-out of each data cell connected to the same cell array, deterioration of dummy cells of which the number of times of read-out is more than that of data cells is aggravated, and an intermediate potential cannot be generated correctly.
SOLUTION: This device has ferroelectric capacitors, a memory cell array provided with at least three memory cells consisting of a first transistor and a second transistor connected in parallel to an electrode of one side of the ferroelectric capacitor, a first bit line to which each ferroelectric capacitor of the memory cell is connected in parallel through first transistor, a second bit line to which respective ferroelectric capacitors of plural memory circuits is connected through the second bit line, and a means judging logic '1' or logic '2' by comparing a potential of the first bit line with a potential of the second bit line.



LEGAL STATUS

[Date of request for examination]

09.07.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

Searching PAJ

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-250374

(P2001-250374A)

(43) 公開日 平成13年9月14日 (2001.9.14)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード [*] (参考)
G 1 1 C 11/22		G 1 1 C 11/22	5 B 0 2 4
14/00		H 0 1 L 27/10	4 5 1 5 F 0 8 3
H 0 1 L 27/10	4 5 1	G 1 1 C 11/34	3 5 2 A
27/108		H 0 1 L 27/10	6 5 1
21/8242			

審査請求 未請求 請求項の数9 O L (全 7 頁)

(21) 出願番号 特願2000-59881 (P2000-59881)

(22) 出願日 平成12年3月6日 (2000.3.6)

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 細井 康成

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(74) 代理人 100102277

弁理士 佐々木 晴康 (外2名)

Fターム (参考) 5B024 AA15 BA02 BA05 BA29 CA07
CA27

5F083 AD21 FR01 JA17 JA38 JA40

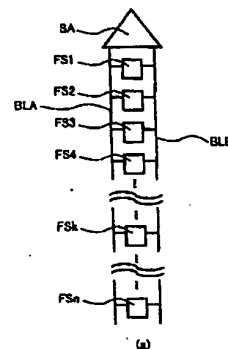
MA06 MA17 MA18 MA20 ZA28

(54) 【発明の名称】 強誘電体メモリ及びその駆動方法

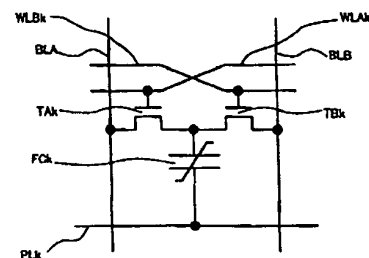
(57) 【要約】

【課題】 同一のセルアレイに接続された各データセルを読み出す毎にダミーセルは参照電位を発生させる必要があり、データセルと比較して読み出し回数の多いダミーセルのみ劣化が進み、正しく中間電位を発生させることができなくなる。

【解決手段】 強誘電体キャパシタと、強誘電体キャパシタの一方の電極と並列的に接続されている第1のトランジスタ及び第2のトランジスタとから成るメモリセルを少なくとも3つ以上備えたメモリセルアレイを有し、メモリセルの各強誘電体キャパシタが第1トランジスタを介して並列的に接続されている第1のビットラインと、複数のメモリセルの各強誘電体キャパシタが第2のトランジスタを介して接続されている第2のビットラインを有し、該第1ビットラインの電位と第2のビットラインの電位との比較することにより、論理「1」又は論理「0」を判断する手段を有する。



(a)



(k=1,2,3,...n)

(b)

【特許請求の範囲】

【請求項1】 自発分極の方向により論理「1」及び論理「0」を記憶する強誘電体キャパシタと、該強誘電体キャパシタの一方の電極と並列的に接続されている第1のトランジスタ及び第2のトランジスタとから成るメモリセルを少なくとも3つ以上備えたメモリセルアレイを有し、前記メモリセルの各強誘電体キャパシタが第1のトランジスタを介して並列的に接続されている第1のビットラインと、複数のメモリセルの各強誘電体キャパシタが第2のトランジスタを介して接続されている第2のビットラインを有し、該第1のビットラインの電位と第2のビットラインの電位との比較することにより、上記論理「1」又は論理「0」を判断する手段を有することを特徴とする強誘電体メモリ。

【請求項2】 前記メモリセルの内、論理「1」を記憶したメモリセル及び論理「0」を記憶したメモリセルからなる1組のメモリセル対を第1のビットラインに短絡させることにより参照電位を発生させる参照セル対とし、他のメモリセルを論理「1」又は論理「0」のデータを記憶するデータセルとし、該参照セルの電位を第1のビットラインに発生させ、且つ、前記データセルの電位を第2のビットラインに発生させる手段を有することを特徴とする、請求項1に記載の強誘電体メモリ。

【請求項3】 前記参照セル対を成すメモリセルをメモリセルアレイを成すメモリセルのから任意に2つのメモリセルを選択する選択手段を有する、請求項2に記載の強誘電体メモリ。

【請求項4】 前記参照セル対の疲労度合いを判断する判断手段を有することを特徴とする、請求項3に記載の強誘電体メモリ。

【請求項5】 前記疲労度合いを判断する判断手段がメモリセルアレイへのアクセス回数を計数する、又はメモリセルアレイへのアクセス時間を計時する、又は、自発分極の度合いを測るものであることを特徴とする、請求項4に記載の強誘電体メモリ。

【請求項6】 前記第1のビットラインと第2のビットラインとの配線容量比が1/2であることを特徴とする、請求項1～請求項5のいずれかに記載の強誘電体メモリ。

【請求項7】 前記第1のビットラインと第2のビットラインとの配線容量が等しいことを特徴とする、請求項1～請求項5のいずれかに記載の強誘電体メモリ。

【請求項8】 請求項6に記載の強誘電体メモリの読み出しを行う強誘電体メモリの駆動方法であって、各参照セルの第1のトランジスタをオン状態とすることにより、参照セル対の各キャパシタの参照電位を第1のビットラインに発生させる工程と、選択されたデータセルのデータ電位を第2のビットラインに発生させる工程と、前記参照電位とデータ電位との差を比較することによ

り、データセルのデータが論理「1」か論理「0」かを判断する工程とを有することを特徴とする、強誘電体メモリの駆動方法。

【請求項9】 請求項7に記載の強誘電体メモリの読み出しを行う強誘電体メモリの駆動方法であって、各参照セルの第1のトランジスタ及び第2のトランジスタをオン状態にすることにより、第1のビットラインと第2のビットラインとを電気的に接続し、第1のビットラインと第2のビットラインとに参照電位を発生させる工程と、

各参照セルの第1のトランジスタ及び第2のトランジスタの少なくともいずれか一方をオフ状態とすることにより、第1のビットラインと第2のビットラインとを電気的に分離する工程と、

選択されたデータセルのデータ電位を第2のビットラインに発生させる工程と、

前記参照電位とデータ電位との差を比較することにより、データセルのデータが論理「1」か論理「0」かを判断する工程とを有することを特徴とする、強誘電体メモリの駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、強誘電体メモリ及びその駆動方法に関するものである。

【0002】

【従来の技術】強誘電体をキャパシタに用いた強誘電体メモリは不揮発性、高速書き込み・読み出し可能など優れた特徴を持っており、近年、一部実用化にまで至っている。

【0003】強誘電体キャパシタに正負の方向に繰り返し電界を印加すると横軸を印加電界、縦軸を分極値とすれば、図6のように分極はヒステリシス曲線を描き、印加電界0の状態ではAの状態とC状態の2通りの残留分極値を持つことができる。これらの残留分極値を論理「1」及び論理「0」に対応させることで、2値の論理データを不揮発に記憶することができる。

【0004】このように記憶されたデータを読み出す際には、ビットラインに接続された強誘電体キャパシタに電圧を印加し、記憶されたデータに従って分極が反転或いは非反転することによって発生する電荷をビットラインに出力し、信号電位を発生させることで行い、分極が反転或いは非反転する方向を各々論理「1」或いは論理「0」の情報と対応させる。信号電位の判定方法には2つのタイプが考えられる。

【0005】第1のタイプは1つの論理情報を記憶するために2つの強誘電体キャパシタと2つのトランジスタで構成したセル(2T2C)を有し、キャパシタには互いに逆の情報を記憶させ、各々のキャパシタを第1のビットラインと第2のビットラインに接続して第1のビットラインの信号電位と第2のビットラインの信号電位とを

比較して判定する。

【0006】第2のタイプは1つの強誘電体キャパシタと1つのトランジスタで構成したセル(1T1C)を用い、参照電位を発生させるダミーセルを備え、第1のビットラインに発生させた信号電位と第2のビットラインに発生させた参照電位を比較して判定する。この時、参照電位は論理「1」の信号電位と論理「0」の信号電位の丁度中間電位が望ましい。

【0007】参照電位の発生方法には、様々な方法が考えられており、例えば特開平7-192476号公報、特開平7-93978号公報に開示されたものがある。即ち、ダミーセルとしてメモリセルと同じ構成の2つの強誘電体キャパシタに論理「1」と論理「0」とを記憶させ、両キャパシタを読み出したときの電位を平均化することによって、中間電位を発生させる方法がある。また、特開平2-301093号公報に開示されたように、ダミーセルを構成する強誘電体キャパシタの面積をメモリセルのキャパシタ面積と異ならしめ、これを用いて参照電位を発生させる方法がある。また、特開平5-114741号公報に開示されたように、ダミーセルとして通常の常誘電体膜を用いたキャパシタを用い、蓄積電荷を利用して、出力電位を昇圧して、論理「1」の信号電位と論理「0」の信号電位の中間電位とする方法がある。

【0008】

【発明が解決しようとする課題】上述の2T2C型メモリセルでは、1つの記憶情報に対し、2つのトランジスタと2つのキャパシタとを必要とするため、高集積化に向かない。また、1T1C型メモリセルでは、2T2C型メモリセルに比べて読み出しマージンが半分であるため、高い精度で信号電位及び参照電位を発生させる必要がある。

【0009】しかしながら、特開平2-301093号公報に開示されたような、メモリセルと電極面積の異なるキャパシタを有するダミーセルを用いる方法では、分極の反転時又は非反転時のいずれか一方の容量値に基づいて参照電位が決まるため、精度の高い中間電位を発生させることは非常に難しい。また、ダミーセルの強誘電体キャパシタのデータセルの強誘電体キャパシタの面積が異なるために、容量特性のばらつきなどにより、プロセス条件設定が困難になる。このような問題は特開平5-114741号公報に開示された方法においても同様である。

【0010】更に、特開平7-192476号公報、特開平7-93978号公報に開示された2つのキャパシタをダミーセルとして用いる方法では、中間電位を発生させることは原理的に可能であるが、同一のセルアレイに接続された各データセルを読み出す毎にダミーセルは参照電位を発生させる必要がある。このため、ダミーセルの動作回数はデータセルの動作回数と比べて非常に多

くなる。強誘電体には、インプリントやファティグと呼ばれる読み出し回数に依存した劣化があるため、データセルと比較して読み出し回数の多いダミーセルのみ劣化が進み、正しく中間電位を発生させることができなくなる。

【0011】

【課題を解決するための手段】本発明の強誘電体メモリは、自発分極の方向により論理「1」及び論理「0」を記憶する強誘電体キャパシタと、該強誘電体キャパシタの一方の電極と並列的に接続されている第1のトランジスタ及び第2のトランジスタとから成るメモリセルを少なくとも3つ以上備えたメモリセルアレイを有し、前記メモリセルの各強誘電体キャパシタが第1のトランジスタを介して並列的に接続されている第1のビットラインと、複数のメモリセルの各強誘電体キャパシタが第2のトランジスタを介して接続されている第2のビットラインを有し、該第1のビットラインの電位と第2のビットラインの電位との比較することにより、上記論理「1」又は論理「0」を判断する手段を有することを特徴とするものである。

【0012】また、本発明の強誘電体メモリは、前記メモリセルの内、論理「1」を記憶したメモリセル及び論理「0」を記憶したメモリセルからなる1組のメモリセル対を第1のビットラインに短絡させることにより参照電位を発生させる参照セル対とし、他のメモリセルを論理「1」又は論理「0」のデータを記憶するデータセルとし、該参照セルの電位を第1のビットラインに発生させ、且つ、前記データセルの電位を第2のビットラインに発生させる手段を有することが望ましい。

【0013】また、本発明の強誘電体メモリは、前記参照セル対を成すメモリセルをメモリセルアレイを成すメモリセルの中から任意に2つのメモリセルを選択する選択手段を有する事が望ましい。

【0014】また、本発明の強誘電体メモリは、前記参照セル対の疲労度合いを判断する判断手段を有することが望ましい。

【0015】また、本発明の強誘電体メモリは、前記疲労度合いを判断する判断手段がメモリセルアレイへのアクセス回数を計数する、又はメモリセルアレイへのアクセス時間を計時する、又は、自発分極の度合いを測るものであることが望ましい。

【0016】また、本発明の強誘電体メモリは、前記第1のビットラインと第2のビットラインとの配線容量比が1/2であること、又は、前記第1のビットラインと第2のビットラインとの配線容量が等しいことが望ましい。

【0017】また、本発明の強誘電体メモリの駆動方法は、前記第1のビットラインと第2のビットラインとの配線容量比が1/2である本発明の強誘電体メモリの読み出しを行う強誘電体メモリの駆動方法であって、各参照セルの第1のトランジスタをオン状態とすることによ

り、参照セル対の各キャパシタの参照電位を第1のビットラインに発生させる工程と、選択されたデータセルのデータ電位を第2のビットラインに発生させる工程と、前記参照電位とデータ電位との差を比較することにより、データセルのデータが論理「1」か論理「0」かを判断する工程とを有することを特徴とするものである。

【0018】また、本発明の強誘電体メモリの駆動方法は、前記第1のビットラインと第2のビットラインとの配線容量が等しい、本発明の強誘電体メモリの読み出しを行う強誘電体メモリの駆動方法であって、各参照セルの第1のトランジスタ及び第2のトランジスタをオン状態にすることにより、第1のビットラインと第2のビットラインとを電気的に接続し、第1のビットラインと第2のビットラインとに参照電位を発生させる工程と、各参照セルの第1のトランジスタ及び第2のトランジスタの少なくともいずれか一方をオフ状態とすることにより、第1のビットラインと第2のビットラインとを電気的に分離する工程と、選択されたデータセルのデータ電位を第2のビットラインに発生させる工程と、前記参照電位とデータ電位との差を比較することにより、データセルのデータが論理「1」か論理「0」かを判断する工程とを有することを特徴とするものである。

【0019】

【発明の実施の形態】以下、実施例に基づいて、本発明を詳細に説明する。

（実施例1）図1は本発明におけるセルアレイとセルアレイを構成するセルの基本構成を表したものである。図1（a）はセルアレイの基本的な構成を示し、対を成すビットラインBLAとBLBとにセンスアンプSAが接続され、n個のセルFS1、FS2、・・・FSnが両方のビットラインに接続されている。図1（b）は本発明におけるセルFSkの基本構成であり、1つの強誘電体キャパシタFCkの一方の電極にプレートラインPLkが接続され、他方の電極はトランジスタTAkを介してビットラインBLBに接続している。トランジスタTAk、TBkはそれぞれゲート電極にワードラインWLAk、WLBkが接続している。

【0020】図2はメモリセルの断面構造を示す図である。強誘電体キャパシタは強誘電体絶縁膜FEを下部電極BEと上部電極TEに挟んで形成される構造であり、上部電極TEはプレートラインPLに接続され、下部電極BEはトランジスタのソース領域Soに接続されている。強誘電体材料としては、 $\text{SrBi}_2\text{Ta}_2\text{O}_9$ 、（以下、「SBT」とする）を用い、電極材料としては、上部電極にはイリジウム（Ir）、下部電極にはイリジウムとタンタルシリコンナイトライド（TaSiN）を用いた。SBTは大きな残留分極値を持ち、自発分極の反転する方向を論理「1」に、反転しない方向を論理「0」として、論理2値情報に対応させた。

【0021】また、トランジスタは1つのソース領域と

2つのゲート電極GtA、GtBと、2つのドレイン領域DrA、DrBを備えた構造となっており、ゲート電極GtA、GtBはそれぞれワードラインWLA、WLBにドレイン領域DrA、DrBはビットラインBLA、BLBに接続されている。

【0022】以下、本発明の第1の実施例の図1の構造の強誘電体メモリの駆動方法について説明する。

【0023】予め、セルFS1には論理「0」の情報、セルFS2には論理「1」の情報が記憶されており、参照セルとして選ばれている。データセルFS3に記憶された論理情報を読み出す際には、ワードラインWLA1、WLA2を選択し、トランジスタTA1、TA2をオン状態とし、プレートラインPL1、PL2をハイ状態として、ビットラインBLAにセルFS1及びFS2を短絡させ、参照電位Vrefを発生させる。このときビットラインBLAの配線容量とビットラインBLBの配線容量の大きさは異なり、ビットラインBLAの配線容量がビットラインBLBの配線容量の2倍になるように設定した。このようにすることで発生する参照電位VrefはビットラインBLBに発生させた論理「1」の信号電位VDL1と論理「0」の信号電位VDL0の中間電位となる。

【0024】また、ワードラインWLB3を選択してトランジスタTB3をオン状態とし、プレートラインPL3をハイ状態として信号電位をビットラインBLBに発生させる。

【0025】その後、ビットラインBLAの電位（参照電位）とビットラインBLBの電位（信号電位）との差をセンスアンプSAによって感知し、増幅する。続いて、参照セルFS1及びFS2に論理「0」及び論理「1」の情報を再度記憶させて、読み出し動作を終了する。

【0026】参照電位を発生させる過程と信号電位を発生させる過程はどちらを先に行ってもよいし、同時に行ってもよい。また、センスアンプでの増幅後、論理「1」の情報を記憶させるセルはFS1であってもよい。

（実施例2）図3は本発明における動作フローを示した一実施例である。本実施例に用いるセルアレイ及びメモリセル構成は図1に示したものと同様である。

【0027】以下に図3に示した動作フローに基づく駆動方法を説明する。

【0028】図1において、予め、セルFS1には論理「0」の情報が記憶され、セルFS2には論理「1」の情報が記憶されており参照セルとして選ばれている。データセルFS3に記憶された論理情報を読み出す際には、ワードラインWLA1、WLA2、WLB1、WLB2を選択してトランジスタTA1、TA2、TB1、TB2をオン状態とすることにより、ビットラインBLAとBLBを短絡させ、プレートラインPL1、PL2

をハイ状態して、ビットラインBLA、BLBに参照電位Vrefを発生させる(図3の過程201)。このとき、ビットラインBLAの配線容量と、ビットラインBLBの配線容量の大きさは同じとなるように設定した。このようにすることで、発生する参照電位VrefはビットラインBLBに発生させた論理「1」の信号電位VDL1と論理「0」の信号電位VDL0の中間電位となる。

【0029】参照電位を発生させた後、トランジスタTA1、TA2、TB1、TB2をオフ状態とし、ビットラインBLA、BLBを電氣的に遮断する(図3の過程202)。続いて、ワードラインWLB3を選択し、トランジスタTB3をオン状態とし、プレートラインPL3をハイ状態として、信号電位をビットラインBLBに発生させる(図3の過程203)。

【0030】次に、ビットラインBLAの電位(参照電位)とビットラインBLBの電位(信号電位)との差をセンスアンプSAによって感知し、増幅する(図3の過程204)。続いて、参照セルFS2に論理「1」の情報を再度記憶させて読み出し動作を終了する(図3の過程205)。このとき、センスアンプでの増幅後、論理「1」の情報を記憶させるセルはFS1であってもよい。また、過程202において、オフ状態とするトランジスタは、TA1又はTA2の内の少なくとも1つと、TB1又はTB2の内の少なくとも1つであればよい。

【0031】以上実施例1と実施例2とではそれぞれ異なる特徴がある。即ち、実施例1に示した駆動方法では参照電圧の発生過程と信号電圧の発生過程を同時にできることから、高速アクセスが可能となる。実施例2に示した駆動方法では、対をなすビットラインBLAとBLBと配線容量を同一のものとでき、プロセス条件設定が容易になる。また、本実施例では、強誘電体材料としてSBT、電極材料としてイリジウム及びタンタルシリコンナイトライドを用いたが、強誘電体特性を示す材料の組み合わせであれば、これに限定されない。

(実施例3) 図4に本発明における強誘電体メモリの概略のブロック図を示す。本実施例では、1つのセルアレイがUA00~UA09の10個の強誘電体メモリセルで構成されている。アドレス選択手段ABは、参照セルアドレス記憶手段と、参照セル及び読み出すデータセルのアドレスを選択する手段と、参照セルとデータセルとの互変回路とを備え、強誘電体メモリの読み出し動作、書きこみ動作を行う。

【0032】参照セルアドレス変換手段RACはセルアレイへの読み出し回数を計数するアクセスカウンタ手段と、互変動作開始信号出力手段とを備える。

【0033】図5に本発明における参照セルの互変動作の動作フローを示す。図5の動作フローではメモリセルUA00とUA01を互変動作以前の参照セルとし、メモリセルUA02、UA03には論理「1」或いは論理

「0」のデータが各々記憶されている。又、本実施例ではアクセスカウンタの値が2の16乗回になると、参照セルアドレス変換手段RACはアドレス選択手段ABに互変動作開始信号を出力し、参照セルとデータセルとの互変動作を開始する。

【0034】アドレス選択手段ABはメモリセルUA00とUA01とを参照セルとし、メモリセルUA02を読み出すデータセルとして選択し、実施例1或いは実施例2で示した読み出し動作を行い、ここには明示しない記憶領域ADROに読み出した情報を記憶する(過程301)。続いて、同様に、メモリセルUA00とUA01とを参照セルとし、メモリセルUA03を読み出すデータセルとして選択し、同様に読み出す(過程302)。

【0035】読み出したメモリセルUA03の情報をメモリセルUA01に記憶する(過程303)。次に、記憶領域ADROに記憶されたメモリセルUA02の情報をメモリセルUA00に記憶する(過程304)。続いて、メモリセルUA02、UA03に互いに逆の情報を記憶させ(過程305)、アドレス選択手段ABの参照セルアドレス記憶手段にメモリセルUA02、UA03のアドレスを記憶させる(過程306)。

【0036】上述の互変動作の間はセルアレイへの外部からのアクセスは禁止されるものとする。また、本実施例では互変動作を行う基準アクセス回数を2の16乗回としたが、本発明はこれに限られるものではなく、強誘電体メモリセルの信頼性が保たれるアクセス回数の3分の1以下を基準アクセス回数とするのが望ましい。また、本実施例ではメモリセルが10個のセルアレイを用いて説明したが、本発明はこれに限られるものではなく、より大規模なメモリに適用できる。

【0037】また、本実施例ではアクセス回数を互変動作開始の基準としたが、例えば、時間計数手段や自発分極比較手段などの参照セルの疲労の度合いを判断する手段を具備し、互変後の経過時間または参照セルの強誘電体特性の疲労の度合いに応じて上記互変が行われてもよい。

【0038】本実施例では主に単一のセルアレイに関して説明したが、例えば複数のセルアレイへのアクセス回数や時間を計数して複数のセルアレイの参照セルとデータセルとを動じ或いは順に互変してもよい。本実施例では強誘電体材料にSBTを用いたが、Pb(ZrxTi1-x)O3(PZT)などの強誘電性を示す材料が適用可能である。また、上部電極にはイリジウムを用い、下部電極にはイリジウムとタンタルシリコンナイトライドの積層構造を用いたが、他の電極材料を用いてもよい。

【0039】

【発明の効果】以上、詳細に説明したように、本発明を用いることにより、セルアレイにおける特定セルにアクセス回数の極端な偏重が起らず、10の11乗回以上

の読み出し回数に対して、信頼性を保持できる。従って、実質的なアクセス回数を大幅に多くでき、強誘電体メモリの寿命、即ち使用可能期間を長くし、その信頼性を高めることができる。

【0040】また、参照電位を発生させるビットラインの配線容量を信号電位を発生させるビットラインの配線容量の2倍になるように設定することにより、参照電位の発生過程と信号電位の発生過程を同時にできることから、高速アクセスが可能となる。また、参照電位を発生させるビットラインと信号電位を発生させるビットラ

【図面の簡単な説明】

【図1】本発明の強誘電体メモリの構造のセルアレイとセルの構成を示した図である。

【図2】本発明の強誘電体メモリのセル構造の一例の断面図である。

【図3】本発明の実施例2の動作フローを示す図である。

【図4】本発明の強誘電体メモリの構成を示すブロック図である。

*【図5】本発明の実施例3の動作フローを示す図である。

【図6】強誘電体におけるヒステリシスループを示した図である。

【符号の説明】

SA センスアンプ

FS1、2、...k、...n メモリセル

BLA、BLB ビットライン

FCk 強誘電体キャパシタ

TAk、TBk トランジスタ

WLAk、WLBk ワードライン

PLk プレートライン

So ソース領域

DrA、DrB ドレイン領域

GtA、GtB ゲート電極

TE 上部電極

FE 強誘電体絶縁膜

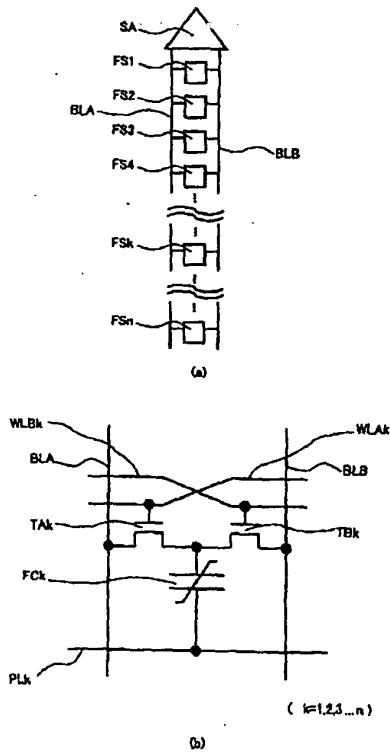
BE 下部電極

UA00~09 メモリセル

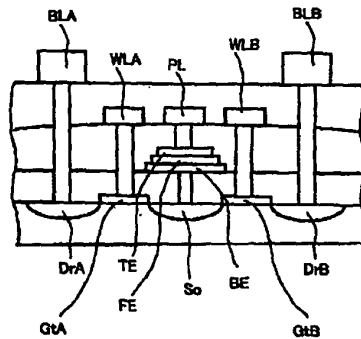
RAC 参照セルアドレス変換手段

* AB アドレス選択手段

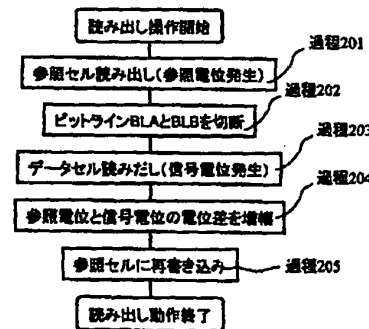
【図1】



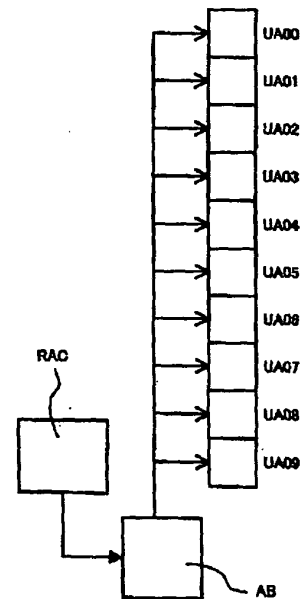
【図2】



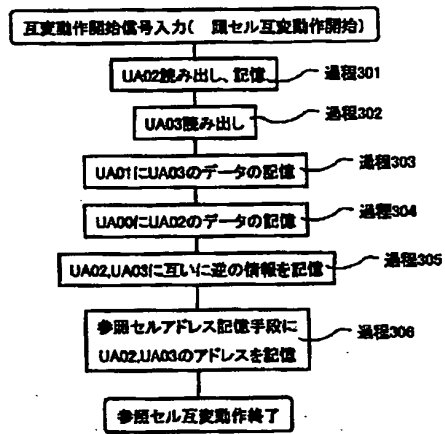
【図3】



【図4】



【図5】



【図6】

